

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-103249

(43)公開日 平成6年(1994)4月15日

(51)Int.Cl.<sup>5</sup>  
G 0 6 F 15/16

識別記号 庁内整理番号  
3 9 0 T 9190-5L

F I

技術表示箇所

審査請求 未請求 請求項の数2(全7頁)

(21)出願番号 特願平4-252937

(22)出願日 平成4年(1992)9月22日

(71)出願人 000004226

日本電信電話株式会社  
東京都千代田区内幸町一丁目1番6号

(72)発明者 中西 衛

東京都千代田区内幸町1丁目1番6号 日  
本電信電話株式会社内

(72)発明者 小倉 武

東京都千代田区内幸町1丁目1番6号 日  
本電信電話株式会社内

(72)発明者 藤野 雄一

東京都千代田区内幸町1丁目1番6号 日  
本電信電話株式会社内

(74)代理人 弁理士 三好 秀和 (外1名)

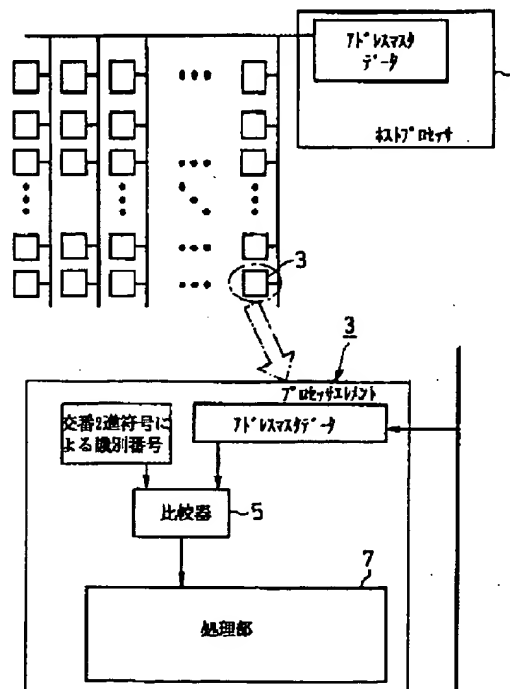
(54)【発明の名称】 プロセッサアレイの選択制御装置

(57)【要約】

【目的】 プロセッサアレイ中の局所領域の選択肢を簡易に増加する。

【構成】 プロセッサアレイの各プロセッサエレメントの識別番号(アドレス)を交番2進符号により与え、この交番2進化アドレスに対するアドレスマスクを生成して局所領域を選択するようにし、また、予め通常の2進符号でプロセッサエレメントのアドレスが与えられている場合は、そのアドレスを交番2進符号に変換してこの変換された交番2進化アドレスに対するアドレスマスクにより局所領域を選択する。

【効果】 1個のアドレスマスクデータだけで選択制御できる局所領域が細かく設定可能になる。



## 【特許請求の範囲】

【請求項1】 並列処理システムを構成するプロセッサアレイ中で選択制御したい領域のプロセッサエレメントに共通の識別番号の条件であるアドレスマスクを制御データとして用い、このアドレスマスクと各プロセッサエレメントに設定されている識別番号とを比較して該当するプロセッサエレメントを動作させることで、当該プロセッサアレイ中の所要の局所領域のプロセッサエレメントを選択制御する装置において、前記各プロセッサエレメントに設定されている識別番号が隣接するプロセッサエレメントに連続する交番2進符号で与えられていることを特徴とするプロセッサアレイの選択制御装置。

【請求項2】 並列処理システムを構成するプロセッサアレイ中で選択制御したい領域のプロセッサエレメントに共通の識別番号の条件であるアドレスマスクを制御データとして用い、このアドレスマスクと各プロセッサエレメントに設定されている識別番号とを比較して該当するプロセッサエレメントを動作させることで、当該プロセッサアレイ中の所要の局所領域のプロセッサエレメントを選択制御する装置において、前記各プロセッサエレメントが、予め2進符号で付与されている識別番号を隣接するプロセッサエレメントに連続する交番2進符号による識別番号に変換する手段を有することを特徴とするプロセッサアレイの選択制御装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、超並列処理システムを構成するプロセッサアレイにおいて、そのプロセッサアレイのうちのある局所領域に属するプロセッサエレメントを選択制御するためのプロセッサアレイの選択制御装置に関するものである。

## 【0002】

【従来の技術】超並列処理システムを構成するプロセッサアレイは、一般に全プロセッサエレメント（PE）を監視する上位のホストプロセッサによって制御、実行される。このプロセッサアレイには、1次元、2次元および多次元のものがある。

【0003】図9は2次元のプロセッサアレイ構成の概要を示す図である。同図において、1はホストプロセッサ、3はプロセッサエレメントである。このプロセッサエレメント3は、予め固有の2進数による識別番号（アドレス）が設定されており、比較器5におけるホストプロセッサ1からの後述するアドレスマスクデータとの一致検出により処理部7が動作する構成である。

【0004】このような構成において、プロセッサアレイのうちの一部の領域のプロセッサエレメントの動作選択は次のように行なわれている。

【0005】選択制御したい領域のプロセッサエレメント3が共通に持つアドレスの条件をアドレスマスクと呼び、このアドレスマスクデータを制御信号として用いて

いる。具体的にアドレスマスクとは、アドレスを表現しているビット列に対しビットパターンの条件を与えるものである。ビット条件は、「0」、「1」と「x」の3種類である。「x」のビットは、don't careを意味する。例えば、アドレスマスク「010x」に該当するアドレスは、「0100」と「0101」であり、このアドレスマスクにより2個のプロセッサエレメントが選択されることになる。

【0006】図10は斜線部分のプロセッサエレメントを選択するためのアドレスマスクとプロセッサアドレスとの関係の一例を示す図である。case1、2は連続する4つのプロセッサエレメントを選択する例、case3、4は連続する8つのプロセッサを選択する例である。各プロセッサエレメントには、アドレスが0～15まで順に付与されている。例えばcase1のようにプロセッサアドレス0～3までの4つのプロセッサエレメントのみを選択する場合、この4つのプロセッサエレメントのプロセッサアドレスの共通項は、上位2ビットが「00」であることであり、「00xx」というアドレスマスクを用いて、該プロセッサを選択することができるのである。同様に、case2では「01xx」、case3では「0xxx」、case4では「1xxx」というアドレスマスクを用いて所要のプロセッサエレメントを選択できる。

【0007】したがって、1次元アレイでは連続領域、2次元アレイでは矩形領域、3次元アレイでは直方体形領域など、一部の局所領域のみの動作が可能となる。特に、プロセッサアレイをCAM（連想メモリ）とした場合、選択領域を示すアドレス条件であるアドレスマスクは、CAMの検索マスクデータとして利用でき、CAMのマスク機能を用いて、該領域に含まれるCAMのワード選択が可能となる。

## 【0008】

【発明が解決しようとする課題】しかしながら、上述した従来構成において、図11のようにプロセッサアドレス2～5までの4つのプロセッサエレメントを選択しようとした場合、プロセッサアドレスの単純なビット比較による判定、即ち1つのアドレスマスクでは選択することができないといった不具合がある。

【0009】すなわち、 $2^N$  プロセッサエレメントから構成されるプロセッサアレイから、 $2^M$  の大きさの領域を選択する場合、上述した従来構成では、例えば図12に示す如く、その領域の位置として $2^{(N-M)}$  通りしか実現できないのである。

【0010】本発明は上記に鑑みてなされたもので、その目的としては、プロセッサアレイ中の局所領域の選択肢を簡易に増加したプロセッサアレイの選択制御装置を提供することにある。

## 【0011】

【課題を解決するための手段】上記目的を達成するた

め、並列処理システムを構成するプロセッサアレイ中で選択制御したい領域のプロセッサエレメントに共通の識別番号の条件であるアドレスマスクを制御データとして用い、このアドレスマスクと各プロセッサエレメントに設定されている識別番号とを比較して該当するプロセッサエレメントを動作させることで、当該プロセッサアレイ中の所要の局所領域のプロセッサエレメントを選択制御する装置において、本発明は、前記各プロセッサエレメントに設定されている識別番号が隣接するプロセッサエレメントに連続する交番2進符号で与えられていること

【0012】また、本発明は、並列処理システムを構成するプロセッサアレイ中で選択制御したい領域のプロセッサエレメントに共通の識別番号の条件であるアドレスマスクを制御データとして用い、このアドレスマスクと各プロセッサエレメントに設定されている識別番号とを比較して該当するプロセッサエレメントを動作させることで、当該プロセッサアレイ中の所要の局所領域のプロセッサエレメントを選択制御する装置において、前記各プロセッサエレメントが、予め2進符号で付与されている識別番号を隣接するプロセッサエレメントに連続する交番2進符号による識別番号に変換する手段を有すること

【0013】

【作用】本発明に係るプロセッサアレイの選択制御装置にあつては、プロセッサアレイの各プロセッサエレメントの識別番号（アドレス）を交番2進符号により与え、この交番2進化アドレスに対するアドレスマスクを生成し、局所領域を選択する。また、予め通常の2進符号でプロセッサエレメントのアドレスが与えられている場合は、そのアドレスを交番2進符号に変換し、この変換された交番2進化アドレスに対するアドレスマスクにより局所領域を選択する。これにより、1個のアドレスマスクデータだけで選択制御できる局所領域が細かく設定可能になる。

【0014】

【実施例】以下、図面を用いて本発明の実施例を説明する。

【0015】図1は、本発明を2次元のプロセッサアレイに適用した場合の一実施例の構成を示す図である。なお、図1において図9と同一物には同一符号を付してその説明を省略する。

【0016】そして、その特徴としては、プロセッサエレメントの識別番号を交番2進符号で付与し、これに対応したアドレスマスクデータによりプロセッサエレメントを選択制御することにある。

【0017】すなわち、図2に示す16個のプロセッサエレメント3が直線状に配置されているプロセッサアレイ構成において、交番2進符号を用いた場合のアドレスマスクとその際選択されるプロセッサエレメントの関係

を図3に示す。例えばcase 2の場合、即ちプロセッサエレメントPE 2, 3, 4, 5の4つのプロセッサエレメントを選択する場合、その交番2進アドレスは、それぞれ、「0011」、「0010」、「0110」、「0111」となり、共通部分は第1ビットが「0」、第3ビットが「1」となる。したがって、アドレスの条件であるアドレスマスクは、「0x1x」となる。また、case 4に示すように、プロセッサがループ状に並んでいて、プロセッサエレメントPE 0, 1, 14, 15の4つのプロセッサエレメントを選択する場合も、アドレスマスクを「x00x」とすることで実現できるのである。因に、図4に、16個のプロセッサエレメントで構成されるプロセッサアレイから2個、4個、8個の大きさの領域を選択する場合の選択肢を示す。

【0018】したがって、本実施例によれば、 $2^N$  プロセッサエレメントで構成されるプロセッサアレイから、 $2^M$  の大きさの領域を選択する場合、その領域の位置として $2^{(N-M+1)}$  通りが実現可能となり、従来に比べて選択肢は2倍に拡大され、もってより細かい領域設定が可能となる。

【0019】一方、2次元及び3次元以上の多次元アレイにおいても同様に局所領域を選択することができる。2次元プロセッサアレイにおける局所矩形領域選択について、 $16 \times 16$ のプロセッサアレイ構成で、 $4 \times 4$ または $8 \times 8$ の局所矩形領域を選択する場合を例に、図5に従って、説明する。プロセッサエレメントは、Y座標値の交番2進符号を上位4ビットに、X座標値の交番2進符号を下位4ビットに与えるようなアドレスを持たせている。領域(a)を選択するためのアドレスマスクは、上位4ビットと下位4ビットに分けて合成される。まず、上位4ビット即ちY座標に対するマスクは、1次元の実施例と同様「0x1x」となる。同様に下位4ビット即ちX座標に対するマスクは「01xx」となる。従って、領域(a)を選択するアドレスマスクは、「0x1x01xx」となる。同様にして、領域(b)、 $8 \times 8$ の領域(c)を選択するアドレスマスクは、それぞれ「01xxx10x」、「1xxx1xxx」となる。

【0020】なお、上述した実施例では、プロセッサエレメント3の識別番号を予め交番2進符号を用いて付与するようにしたが、図6に示す如く、2進符号を交番2進符号に変換する変換器9をプロセッサエレメント3に具備させることで、識別番号を2進符号で付与するようにしてもよい。

【0021】図7は、本発明を超並列プロセッサのひとつであるCAMに適用した場合の一実施例を示すものである。CAMは全16ワードで構成され、その1ワードは交番2進アドレス4ビットをROM型のCAMで、データフィールドをRAM型のCAMで構成されている。CAMは、その機能の1つにマスク機能を備えている。

5

即ち、入力された検索用のマスクデータとあるフィールドのデータとを比較し、その比較結果により所望のワードを選択することが可能である。この被検索フィールドのデータに交番2進アドレスを、検索用マスクデータにアドレスマスクを用いることにより、検索が可能となる。この結果、図7に示される様々な連続した局所領域を、1つのアドレスマスクにより選択することが可能となる。

【0022】また、同様に多次元の場合もCAMへ適用することができる。図8は、2次元の例を示したもので、Y座標とX座標の2つの交番2進符号で記憶されるアドレスフィールドを持ち、局所領域選択のためのアドレスマスクをこの2つのアドレスフィールドに適用するものである。

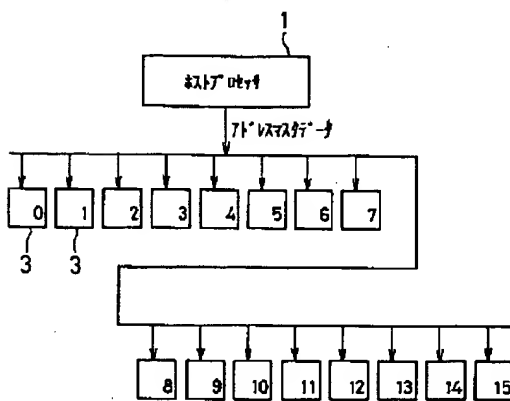
【0023】

【発明の効果】以上説明したように、本発明によれば、プロセッサアレイの各プロセッサエレメントの識別番号（アドレス）を交番2進符号により与え、この交番2進化アドレスに対するアドレスマスクを生成して局所領域を選択するようにし、また、予め通常の2進符号でプロセッサエレメントのアドレスが与えられている場合は、そのアドレスを交番2進符号に変換してこの変換された交番2進化アドレスに対するアドレスマスクにより局所領域を選択するようにしたので、従来に比べて、プロセッサアレイから切り出される局所領域の選択肢を簡易に多くし、細かく設定することができる。

【図面の簡単な説明】

【図1】本発明の一実施例によるプロセッサ構成の概略図と各プロセッサエレメントにおける制御を説明する図である。

【図2】



6

【図2】1次元プロセッサアレイ構成と局所領域指定のための制御信号を示す図である。

【図3】1次元プロセッサアレイにおける交番2進化アドレスマスクと選択される局所領域の関係を説明する図である。

【図4】本発明の一実施例における1つの交番2進化アドレスマスクにより選択可能な局所領域の種類を示す図である。

【図5】2次元プロセッサアレイにおける交番2進化アドレスマスクと選択領域の例を示す図である。

【図6】本発明の他の実施例による各プロセッサエレメントにおける制御を説明する図である。

【図7】CAMへの実現例（アドレスマスクと選択領域）を示す図である。

【図8】2次元領域選択のためのCAM構成を示す。

【図9】従来のプロセッサ構成の概略図と各プロセッサエレメントにおける制御を説明する図である。

【図10】1次元プロセッサアレイにおけるアドレスマスクと選択される局所領域の例を示す図である。

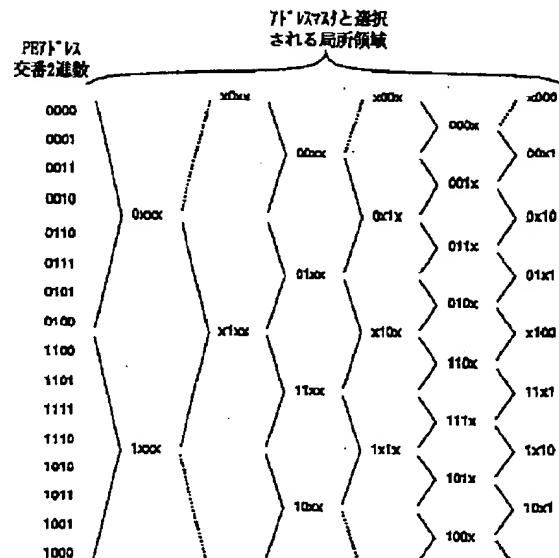
【図11】従来の選択制御における問題点を説明するための図である。

【図12】従来法における1つのアドレスマスクにより選択可能な局所領域の種類を示す図である。

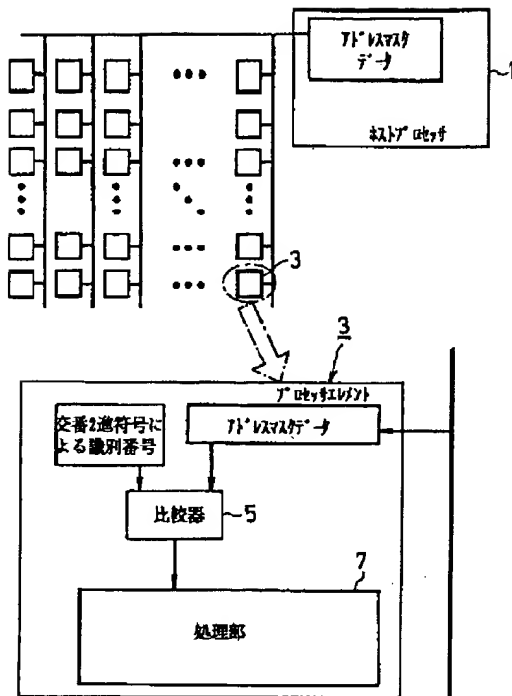
【符号の説明】

- 1 ホストプロセッサ
- 3 プロセッサエレメント
- 5 比較器
- 7 処理部
- 9 変換器

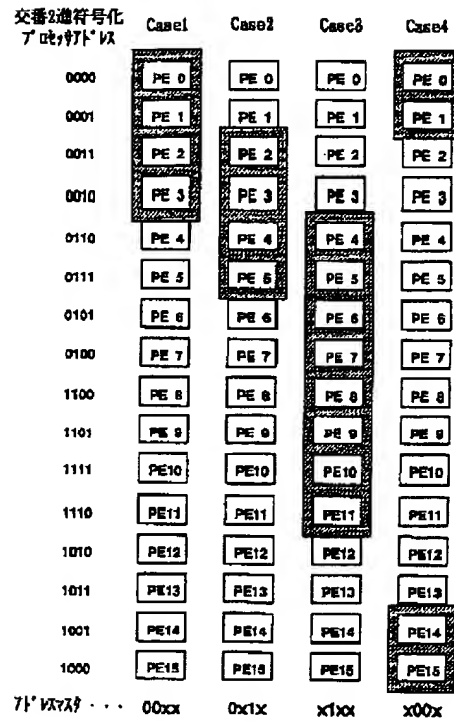
【図4】



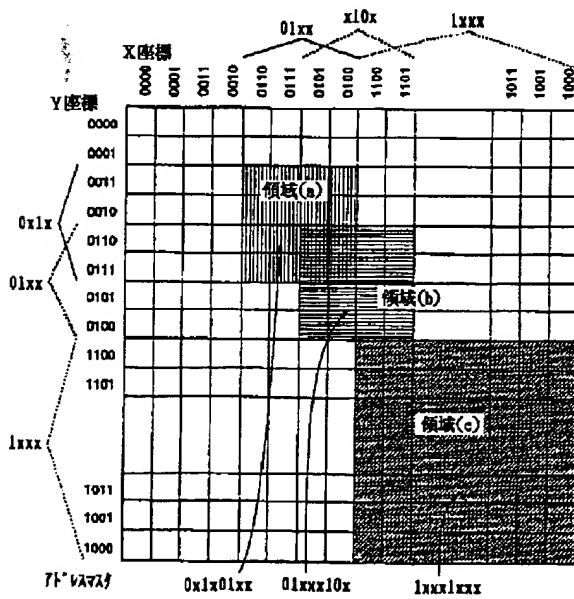
【図1】



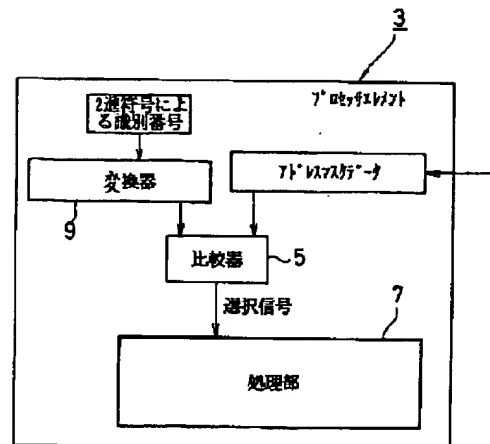
【図3】



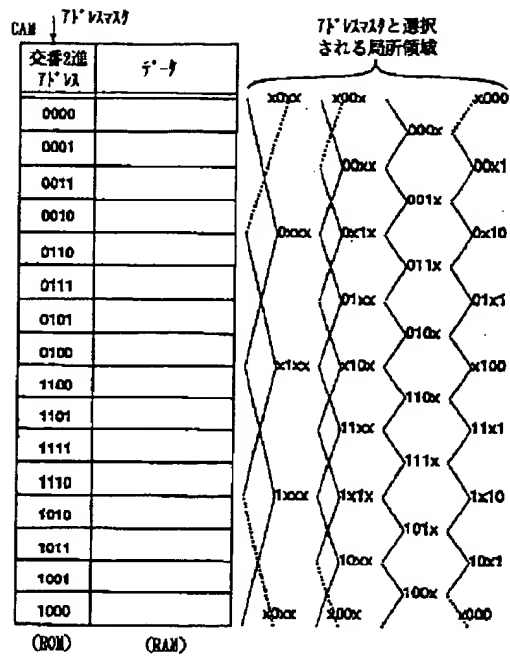
【図5】



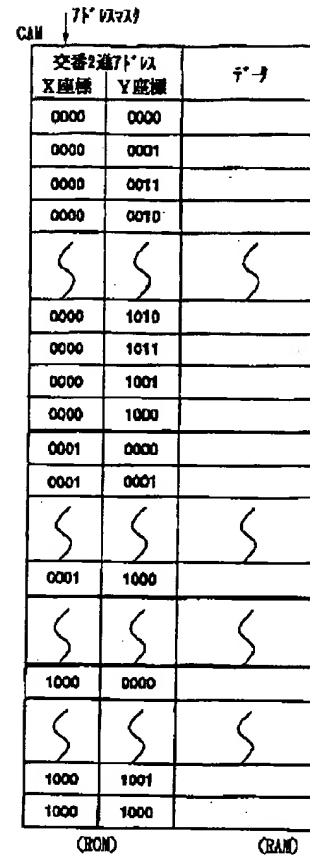
【図6】



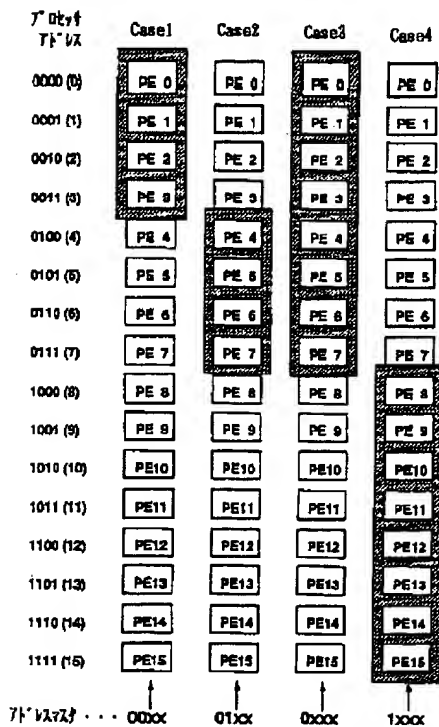
【図7】



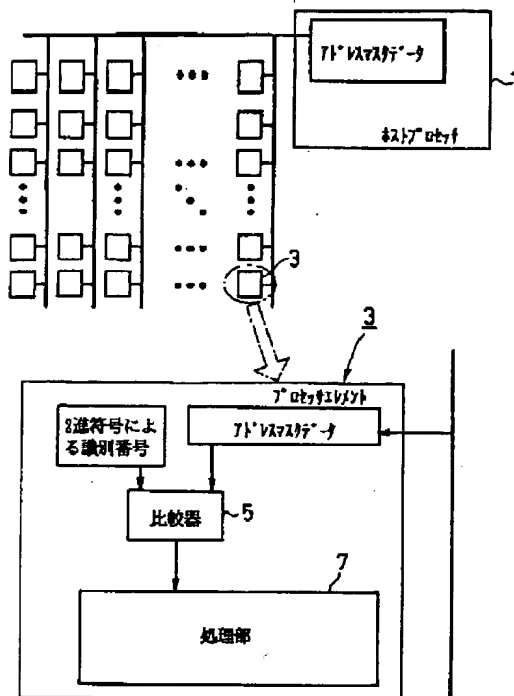
【図8】



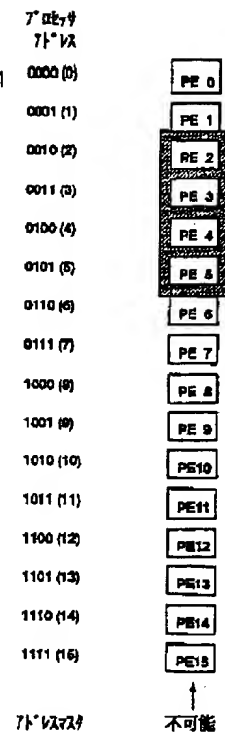
【図10】



【図9】



【図11】



【図12】

